

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-165629
 (43)Date of publication of application : 11.06.1992

(51)Int.Cl. H01L 21/336
 H01L 29/784

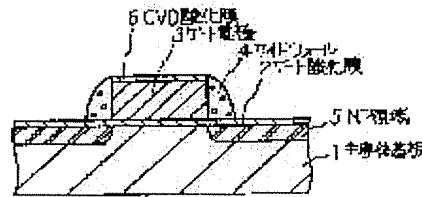
(21)Application number : 02-292865 (71)Applicant : NEC CORP
 (22)Date of filing : 30.10.1990 (72)Inventor : KITAJIMA HIROSHI

(54) MOS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent an increase in a leakage current between an N⁺ type region and a semiconductor substrate due to generation of a crystal defect at the end of a sidewall and a decrease in the breakdown strength between a source and a drain by forming a conductive sidewall on the side of a gate electrode formed on the substrate through a gate oxide film.

CONSTITUTION: After a polycrystalline silicon film and a CVD oxide film 6 are deposited on a semiconductor substrate 1 made of silicon through a gate oxide film 2, they are patterned, and a gate electrode 3 is formed. Then, phosphorus ions are implanted to form an N⁻ type region 5, and a polycrystalline silicon film or an amorphous silicon film is grown on the entire surface while doping phosphorus. The polycrystalline film or the amorphous film is etched back, and a sidewall 4 is formed in a state that is in electric contact with the gate electrode on the side of the electrode 3. Thus, an increase in a leakage current between the N⁺ type region and the substrate and a decrease in the breakdown strength between a source and a drain can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑱ 公開特許公報 (A) 平4-165629

⑯ Int. Cl. 5
H 01 L 21/336
29/784

識別記号

厅内整理番号

⑰ 公開 平成4年(1992)6月11日

8422-4M H 01 L 29/78 301 L
8422-4M 301 G

審査請求 未請求 請求項の数 2 (全4頁)

⑲ 発明の名称 MOS型半導体装置

⑳ 特願 平2-292865

㉑ 出願 平2(1990)10月30日

㉒ 発明者 北島洋 東京都港区芝5丁目7番1号 日本電気株式会社内
㉓ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号
㉔ 代理人 弁理士内原晋

明細書

発明の名称

MOS型半導体装置

特許請求の範囲

1. 半導体基板上にゲート酸化膜を介して形成されたゲート電極と、このゲート電極の側面に形成された導電性のサイドウォールを含むことを特徴とするMOS型半導体装置。

2. 半導体基板上に中心部がゲート酸化膜を介して形成されたゲート電極と、このゲート電極の側面に絶縁膜を介して形成され前記半導体基板を介してゲート電極に電気的に接続された導電性のサイドウォールを含むことを特徴とするMOS型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はMOS型半導体装置に関し、特にLDD

D構造のトランジスタに関する。

〔従来の技術〕

LDD (Lightly Doped Drain) 構造のMOSFETの構造を第3図に示す。このような構造のMOSFETの製造方法は、半導体基板31上にゲート酸化膜32を介して多結晶シリコン等からなるゲート電極33を形成した後、このゲート電極をマスクとしてリンイオンを $10^{12} \sim 10^{14} \text{ cm}^{-2}$ 程度注入してN⁻領域35を形成し、次で全面に酸化膜を堆積しエッチバックによってゲート電極33の側壁部だけにその酸化膜を残して第3図のような形状の酸化膜からなるサイドウォール34を形成したあとヒ素イオンを注入し、熱処理を行なうことによって高濃度拡散層であるN⁺領域37(ソースおよびドレイン)を形成する。このようなLDD構造の1つの欠点はサイドウォール34の下のN⁻領域がトランジスタの動作時に抵抗として働き高速動作を阻害することである。

この欠点を改善するものとして、アイ・イー・ディー・エム・テクニカル・ダイジェスト(IEDM

Technical Digest) 1987年, p. 38に記載されている構造のMOSFETが提案されている。すなわち第4図に示すように、多結晶シリコンからなるゲート電極43の上部をCVD(Chemical Vapor Deposition)酸化膜46と46Åで囲み、ゲート電極43の側面にも熱酸化膜48を形成したものである。ゲート電極43とN⁻領域45の一部をオーバーラップさせることにより、トランジスタの動作時にはN⁻領域45の表面にチャネルが形成され、そのためにN⁻領域45が抵抗として作用せず、またN⁻領域45におけるなだれ増倍(衝突電離)によるソース・ドレイン間の耐圧低下を抑制するというものである。

〔発明が解決しようとする課題〕

しかし、このようなMOSFETの構造はプロセスが複雑になるとか、多結晶シリコンからなるゲート電極以外(たとえばポリサイドからなるゲート電極)では使いにくいなどの欠点があった。また通常のLDD構造でも同様であるが、このような構造ではサイドウォール端で結晶欠陥が発生

し、その結晶欠陥によるリーク電流の増加が問題になる。すなわち、第4図のような構造のものを形成した後、ヒ素イオンの注入により非晶質化した領域を熱処理によって結晶化するが、非晶質化した領域の再結晶化時にイオン注入した時のマスク(この場合は特にCVD酸化膜46)が残っているとサイドウォール端には高密度に結晶欠陥が発生する。ドレイン端に電界がかかった状態では、この結晶欠陥を介して電子・ホールペアが発生しN⁺領域と基板間のリーク電流の増加や、ソース・ドレイン間の耐圧低下の原因となるという欠点があった。

〔課題を解決するための手段〕

第1の発明のMOS型半導体装置は、半導体基板上にゲート酸化膜を介して形成されたゲート電極と、このゲート電極の側面に形成された導電性のサイドウォールを含んで構成される。

第2の発明のMOS型半導体装置は、半導体基板上に中心部がゲート酸化膜を介して形成されたゲート電極と、このゲート電極の側面に絶縁膜を

介して形成され前記半導体基板を介してゲート電極に電気的に接続された導電性のサイドウォールとを含んで構成される。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の第1の実施例を作製する工程を説明するための半導体チップの断面図である。

まず第1図(a)に示すように、シリコンからなる半導体基板1上にゲート酸化膜2を介して多結晶シリコン膜とCVD酸化膜6を堆積したのちバターニングを行ないゲート電極3を形成する。次でリン・イオンを注入してN⁻領域5を形成したのち、全面に多結晶シリコン膜あるいは非晶質シリコン膜をリンをドーピングしながら成長させる。そしてその多結晶シリコン膜あるいは非晶質シリコン膜をエッチバックすることにより、ゲート電極3の側面にゲート電極と電気的接触を保った状態でサイドウォール4を形成する。非晶質シリコン膜の場合は後の熱処理工程で多結晶化する。

次に第1図(b)に示すように全面にCVD酸

化膜6Åを堆積し、エッチバックによって側壁部だけにCVD酸化膜6Åを残す。このエッチバックによって基板のシリコン表面が露出するため、シリコン表面を酸化した後、ヒ素イオンを高濃度に注入し、ソース・ドレインとなるN⁺領域7を形成する。ヒ素イオンが注入されたN⁺領域は非晶質化している。

次に第1図(c)に示すように、サイドウォール部に残っているCVD酸化膜6Åをバッファード・フッ酸で除去し、850~900°C程度の温度で熱処理することによって、ゲート電極3の端部にゲート電極と電気的に接觸した導電性のサイドウォール4を持ち、かつサイドウォール4の端に結晶欠陥の発生のないLDD構造のMOSFETを作ることができる。この作製法から明らかのように、ゲート電極3のN⁻領域5のオーバーラップ量は、第1図(a)におけるサイドウォール用の多結晶シリコン膜あるいは非晶質シリコン膜の堆積膜厚によってコントロールすることができる。

この作製プロセスを用いることによって、サイドウォール端での結晶欠陥の発生を抑制できたため、従来のMOSFETと同等以上の高速動作が可能で、ソース・ドレイン間の耐圧が大きく改善されたLDD構造のMOSFETを製造することができる。この作製プロセスは多結晶シリコンからなるゲート電極でもポリサイドからなるゲート電極（シリサイドと多結晶シリコンの2層構造）でも適用可能であるため、その点では従来のものより高性能のMOSFETを作ることができる。CVD酸化膜6Åを堆積する代わりに、表面に薄い熱酸化膜を形成し、窒化シリコン膜を堆積するというアプロセスを用いることもできる。このような場合、アプロセスは複雑になるが、窒化シリコン膜のドライエッティング速度は一般に熱酸化膜より大きいためシリコン表面をイオンで叩く時間が短い（従って、損傷が少ない）という利点や、後で窒化シリコン膜を除去する際には、加熱したリン酸を用いて選択的な除去が可能であるなどの利点がある。

ト部30の近くのシリコン表面を露出させることができ。サイドウォール24とゲート電極23とのコンタクトはこのシリコン表面を露出させた領域で行われる。なお、25はフィールド酸化膜領域である。結晶質の上に直接多結晶シリコンを成長させるとゲート電極の構造や材質によっては異常成長を起こし、サイドウォールに形状異常を起こす可能性がある。しかし上記のようにすれば、N⁺領域27（ソースおよびドレイン）のサイドウォール端部では多結晶シリコンの異常成長の問題はない。

〔発明の効果〕

以上述べたように本発明によれば、サイドウォール端での結晶欠陥の発生によるN⁺領域と基板間のリーク電流の増加やソース・ドレイン間の耐圧低下がなく、またN⁺領域が抵抗として作用しないような高速のLDD構造のMOS型半導体装置を得ることができ、またサイドウォール中へのキャリア注入による劣化も生じにくいという効果がある。

SRAM(Static Random Access Memory)などに用いられている素子ではゲート電極の端部で基板の高濃度領域と直接コンタクト（基板シリコンの一部を露出させておいてゲート電極を成長）をとる構造が用いられている。第2図はそのような構造の素子に本発明を適用した場合の第2の実施例の上面図である。

第2図において、シリコンからなる半導体基板21上には中心部がゲート酸化膜を介して多結晶シリコン膜からなるゲート電極23が形成されており、ゲート電極23の端部はシリコン露出部29内でシリコン基板に接してコンタクト部30を形成している。また、ゲート電極23の側面には、SiO₂等からなる絶縁膜22を介して多結晶シリコンからなるサイドウォール24が形成されており、このサイドウォール24はシリコン露出部29において基板を介してゲート電極23と電気的に接続されている。

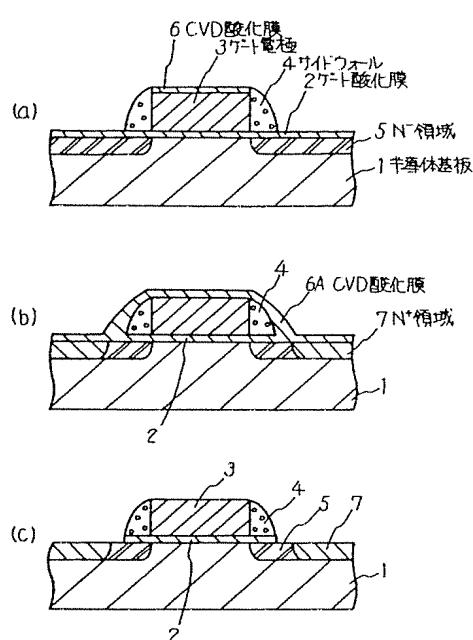
ゲート電極23の側面に絶縁膜22を形成した後に異方性ドライエッティングを行えば、コンタク

図面の簡単な説明

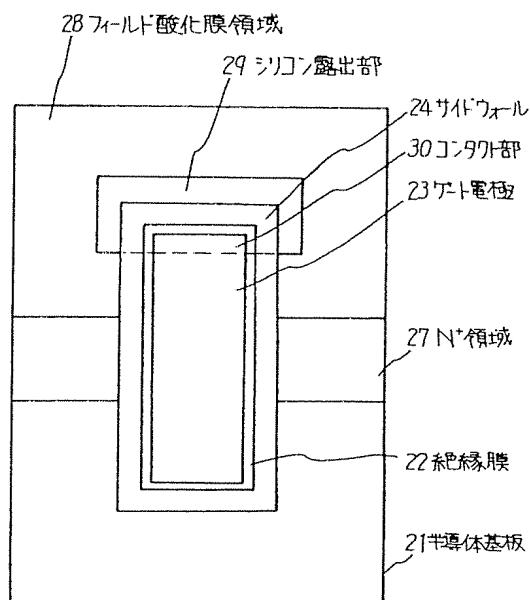
第1図は本発明の第1の実施例を説明するための半導体チップの断面図、第2図は本発明の第2の実施例の上面図、第3図及び第4図は従来例の断面図である。

1. 21, 31, 41…半導体基板、2, 32, 42…ゲート酸化膜、3, 23, 33, 43…ゲート電極、4, 24, 34…サイドウォール、5, 35, 45…N⁺領域、6, 6A, 46, 46A…CVD酸化膜、7, 27, 37, 47…N⁺領域、28…フィールド酸化膜領域、29…シリコン露出部、30…コンタクト部。

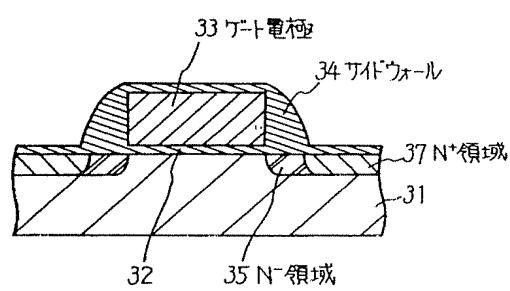
代理人 弁理士 内原 聰



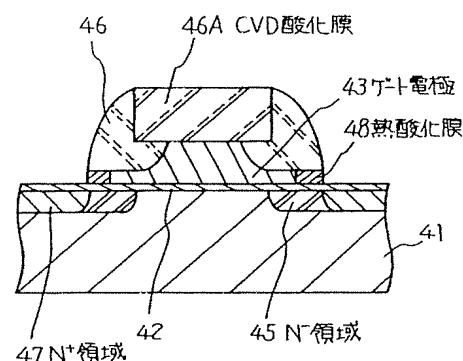
第 1 図



第 2 図



第 3 図



第 4 図